

Konstruktion und Fertigung elektronischer Baugruppen

Leiterplattenkonstruktion und -fertigung

Prof. Dr. Mathias Nowotnick

Impressum

Herausgeber:
Universität Rostock
Wissenschaftliche Weiterbildung
2014

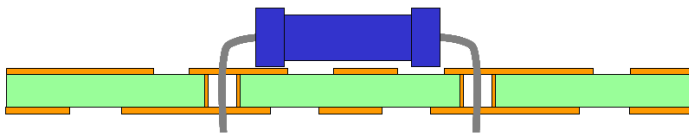
Erarbeitet von:
Prof. Dr. Mathias Nowotnick
Universität Rostock
Fakultät für Informatik und Elektrotechnik

Leiterplattenkonstruktion und -fertigung

Leiterplattenherstellung

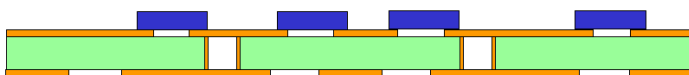
Leiterplatten dienen als Verdrahtungsträger für elektronische Baugruppen. Die elektronischen Bauelemente, die auf den Leiterplatten montiert werden, können sehr unterschiedliche Gestalt besitzen. Sowohl die Funktion als auch die Geometrie der verwendeten Bauelemente muss bereits bei der Herstellung der Leiterplatten berücksichtigt werden. Deshalb wird an dieser Stelle auf die verschiedenen Varianten und Montagemöglichkeiten elektronischer Bauelemente eingegangen. Die elektrische Funktion der Bauelemente bestimmt natürlich auch die Anzahl der notwendigen Kontakte, die je nach Bauform auch Anschlüsse, *Pins*, *I/O*, *Leads*, *Lands* oder *Balls* genannt werden können. Diskrete Bauelemente, wie z.B. Widerstände, Kondensatoren, Dioden oder Transistoren besitzen nur wenige Anschlüsse. Diese können im einfachsten Fall als Drähte ausgeführt werden, die man durch die Löcher einer Leiterplatte steckt und anschließend verlötet. Man spricht dabei auch von der so genannten Durchsteckmontage, engl. *Through Hole Technologie* = *THT*. Die durchgesteckten bzw. bedrahteten Bauelemente (*Through Hole Devices* = *THD*) werden in der Regel nur auf einer Seite der Leiterplatte montiert.

Elektronische Baugruppe mit durchgesteckten, bedrahteten Bauelementen
(THT = Trough Hole Technology)



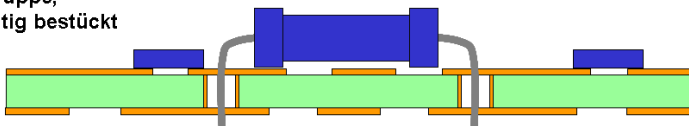
Integrierte Schaltungen, die aus einer Vielzahl einzelner Funktionselemente in einem Bauelement bestehen, benötigen häufig wesentlich mehr Kontakte. Es gibt heute integrierte Schaltungen mit mehreren hundert Anschlüssen. Diese integrierten Schaltungen können nur im einfachsten Fall als bedrahtete bzw. durchgesteckte Bauelemente realisiert werden. Frühe Entwicklungen konnten noch in Transistor-Gehäusen, dem sog. *TO-Gehäuse* (*Transistor Outline*), untergebracht werden. Höher integrierte Bausteine erhielten Gehäuse, mit einer Vielzahl von Anschlüssen in zwei Reihen, das sog. *Dual Inline* = *DIL* Gehäuse. Mit steigender Komplexität wurden aber Bauelemente für höhere Anschlusszahlen mit kleineren Abmaßen notwendig. Deshalb wurde die sog. Oberflächenmontage-Technologie (*Surface Mount Technologie*) mit den oberflächenmontierten Bauelementen (*Surface Mounted Devices* = *SMD*) entwickelt. Als Kontakte dienen bei diesen Bauelementen nur sehr kurze Drähte oder sog. *Leads*, die auf der Oberseite der Leiterplatte verlötet werden, oder die Gehäuse werden direkt mit Metall beschichtet und aufgelötet. Heute sind fast alle Bauelemente auch als *SMD* verfügbar, das heißt sowohl diskrete Bauelemente als auch integrierte Schaltungen.

Elektronische Baugruppe mit oberflächenmontierten Bauelementen
(SMT = Surface Mount Technology)



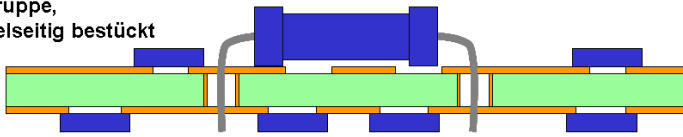
Sehr häufig werden aber auf ein und derselben Baugruppe sowohl oberflächenmontierte als auch durchgesteckte Bauelemente verwendet. Man spricht in diesem Fall auch von gemischt bestückten elektronischen Baugruppen.

Gemischt bestückte elektronische Baugruppe, einseitig bestückt



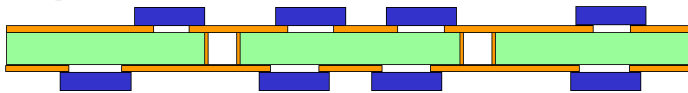
Die relativ kleinen oberflächenmontierten Bauelemente (SMD) können im Gegensatz zu den durchgesteckten Bauelementen auf der Ober- und Unterseite der Leiterplatte aufgebracht werden. Dadurch ist eine bessere Nutzung des vorhandenen Platzes möglich.

Gemischt bestückte elektronische Baugruppe, doppelseitig bestückt



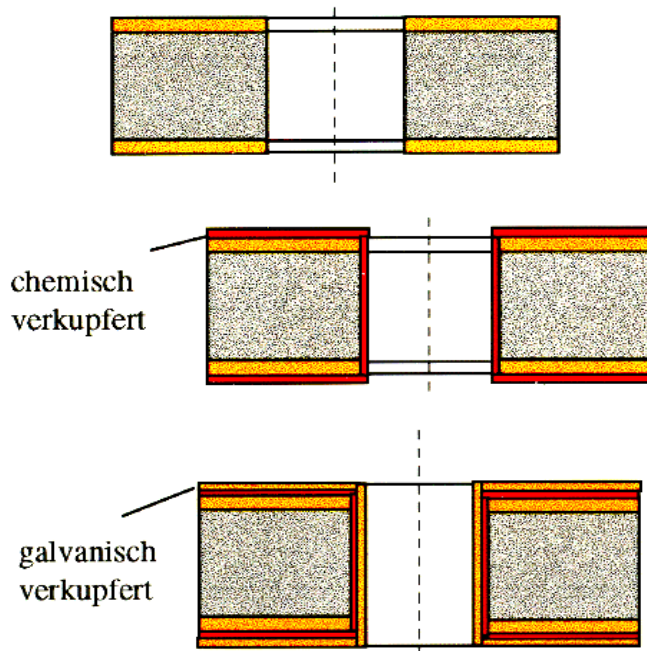
Die effektivste Nutzung der Leiterplattenoberfläche erfolgt allerdings, wenn auf beiden Seiten der Leiterplatte ausschließlich oberflächenmontierte Bauelemente verarbeitet werden. Das ist aber nicht immer möglich, da bestimmte Bauteile, wie z.B. Stecker, Schalter oder Spulen, aus Gründen der mechanischen Stabilität nur als gesteckte Bauform erhältlich sind.

Elektronische Baugruppe mit oberflächenmontierten Bauelementen, doppelseitig bestückt

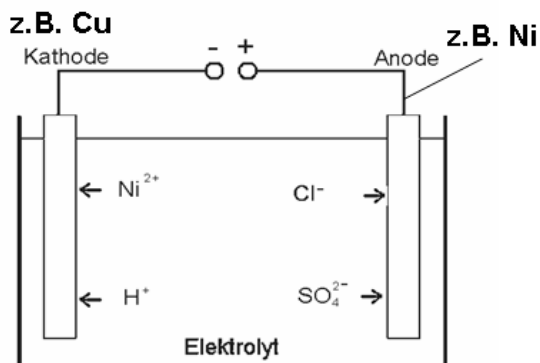


Die Kontaktflächen für die SMD bzw. die Bohrungen für die THD müssen ebenso wie die elektrischen Verbindungen auf der Leiterplattenoberfläche (*Wires*) und durch die Leiterplatte hindurch (Durchkontaktierungen = *Vias*) nach dem Entwurf des sog. Layouts schrittweise hergestellt werden. Da der Entwurf heute meistens am Computer mit Hilfe von CAD-Programmen erfolgt, müssen alle notwendigen Prozesse mit entsprechend standardisierten elektronischen Datenformaten gesteuert werden können. Die sog. Gerber-Daten haben sich als ein wichtiger Standard in der Leiterplattentechnik etabliert und werden von den meisten CAD-Programmen und Maschinen für die Leiterplattenherstellung unterstützt.

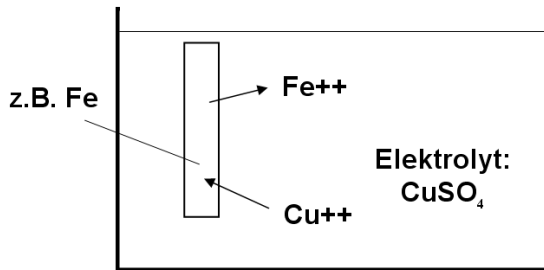
Die Herstellung einer Leiterplatte beginnt in der Regel mit dem ganzflächig verkupferten Basismaterial, einem isolierenden Kern aus Epoxidharz und Glasfasern (FR4), der auf der Ober- und Unterseite mit einer dünnen Kupferfolie beschichtet (kaschiert) ist. Die späteren elektrischen Strukturen werden subtraktiv durch Ätzen des Kupfers und Bohren bzw. Fräsen (Verfahren: Trennen) hergestellt. In den meisten Fällen beginnt man mit dem Bohren der Löcher für die Durchkontaktierungen. Dazu verwendet der Leiterplattenhersteller Hochleistungsbohrmaschinen mit hoher Drehzahl und mehreren Bohrspindeln. Diese Maschinen können mehrere Leiterplatten in einem Stapel bearbeiten, so dass die Bearbeitungszeit minimiert werden kann.



Die Durchkontaktierungen in den Bohrlöchern der Leiterplatte werden elektrochemisch metallisiert. Bei der elektrochemischen Beschichtung handelt es sich um eine Abscheidung von Metallionen über einen äußeren Stromkreis (galvanische Beschichtung) oder durch lokale Ströme (außenstromlose Beschichtung). Die galvanische Beschichtung (kathodisch/elektrolytische Abscheidung) beruht auf einer Reduktion von Metallionen (Zufuhr von Elektronen) über einen äußeren Stromkreis. Die Metallionen werden durch Auflösung einer anodisch geschalteten Elektrode oder durch Dissoziation gebildet.



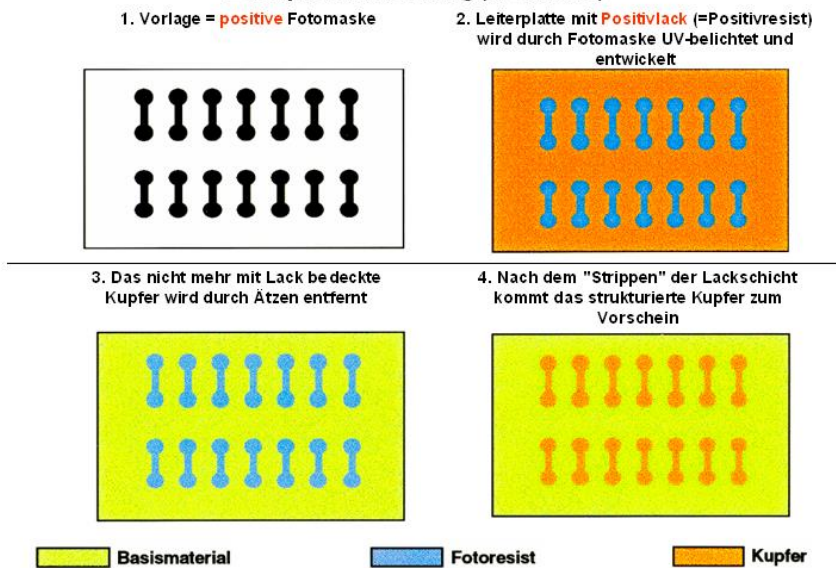
Dagegen stellt die stromlose Metallabscheidung eine Metallionenentladung dar, die durch lokale Ströme aufgrund der elektrochemischen Spannungsreihe erzwungen wird. Dabei muss das zu beschichtende Metall unedler als das abzuscheidende Metall sein. Das unedlere Metall dient als Kathode und liefert die erforderlichen Elektronen. Der Ladungsaustausch kommt zum Stillstand, sobald das unedlere Metall vollständig mit dem edleren beschichtet ist. Dadurch sind nur sehr dünne Schichten (wenige Mikrometer) erreichbar. Bei der Beschichtung von nichtleitenden Materialien, z.B. Polymere, muss die Oberfläche durch eine Metallkeimbildung aktiviert werden.



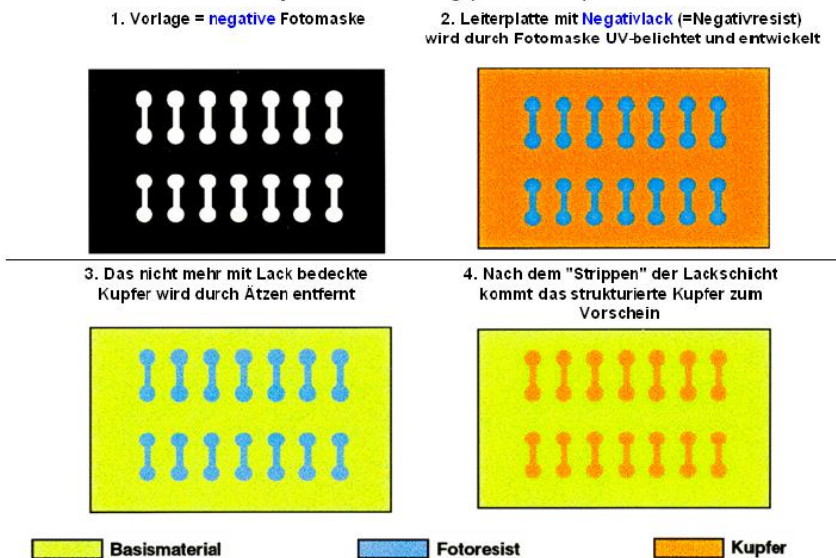
Die Bohrlöcher der Leiterplatte, die zunächst eine nicht leitende Oberfläche haben, müssen für die Beschichtung eine möglichst glatte und saubere Oberfläche haben. In einem Bekeimungsbad/Katalysebad werden alle eingetauchten Oberflächen mit kleinen Pd-Teilchen "bekeimt" (Verfahren: Beschichten). An den Palladiumkeimen kann in einem nachfolgenden Bad Kupfer in einem Elektrolyten stromlos abgeschieden werden (Kupfer ist unedler als Palladium), so dass eine hauchdünne aber leitfähige Kupferschicht in der Bohrung entsteht. Diese dünne Schicht wäre für die spätere Verarbeitung und die Funktion der Leiterplatte noch nicht ausreichend, und wird deshalb in einem weiteren Prozessschritt galvanisch mit Kupfer verstärkt. Dabei erhöht sich die Gesamtdicke der Kupferschicht auf der Leiterplatte.

Nach der Herstellung der Durchkontaktierungen erfolgt die Übertragung der elektrischen Strukturen, des Layouts, auf die Kupferoberfläche. Der übliche Prozess bedient sich der Fotolithographie, bei der lichtempfindliche Lackschichten als Maske zum Strukturieren des Kupfers benutzt werden. Die lichtempfindlichen Lacke, die auch als Fotolack, Resist bzw. Fotoresist bezeichnet werden, gibt es als Positiv- oder Negativlack. Der Negativlack wird durch UV-Licht gehärtet (Verfahren: Stoffeigenschaftsändern), so dass der unbelichtete Teil im Entwickler gelöst werden kann. Beim Positivlack verhält es sich genau umgekehrt. Die Leiterplatte wird mit dem Fotolack (positiv oder negativ) beschichtet und durch einen Film (Fotomaske) hindurch mittels UV-Strahlung belichtet. Auf den Film (Fotomaske) wurde zuvor mit einem Fotoplotter das Layout der Leiterplatte übertragen. Nach dem Entwickeln sind die Bereiche des Kupfers mit Lack bedeckt, die später erhalten bleiben sollen. Da der entwickelte Lack beständig gegen ätzende Bäder ist (daher der Begriff *Resist*), kann das Kupfer in einem solchen Ätzbad selektiv entfernt werden (Verfahren: Trennen). Nach wenigen Minuten ist nur noch das Kupfer unter dem Resist erhalten. Zum Schluss kann mit einem speziellen Lösemittel auch das Resist entfernt ("*Strippen*", Verfahren: Trennen) werden. Damit die richtigen Bereiche auf der Leiterplatte geätzt bzw. erhalten werden, muss der Positivlack durch eine positive Fotomaske und der Negativlack durch eine negative Fotomaske belichtet werden. Eine Kombination aus Positivlack und negativer Fotomaske oder auch umgekehrt ist ebenfalls möglich. Dazu verwendet man eine dünne Zinnschicht oder Zinn-Blei-Schicht auf dem Kupfer, wobei durch das entwickelte Fotoresist zunächst nur die Zinnschicht geätzt wird. Das so entstandene Negativbild im Zinn dient dann wiederum als Ätzmaske für ein weiteres Kupfer-Ätzbad. Diese Variante wird deshalb auch als Metallresist-Technik bezeichnet.

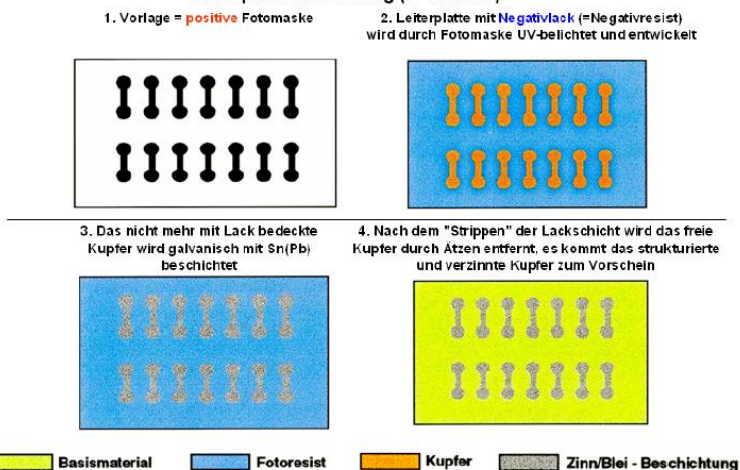
Leiterplattenherstellung (1. Variante)



Leiterplattenherstellung (2. Variante)



Leiterplattenherstellung (3. Variante)



Für doppelseitige Leiterplatten müssen Ober- und Unterseite gleichzeitig in der beschriebenen Weise strukturiert werden. Dabei ist es besonders wichtig, dass die Fotomasken beider Seiten exakt justiert sind. Auch bei der Positionierung der Fotomasken zu den bereits vorhandenen Durchkontaktierungen und Bohrungen der Leiterplatte, ist größte Sorgfalt geboten. Umso feiner und enger die Strukturen der Leiterplatte werden, desto präziser müssen selbstverständlich auch Belichtung, Entwicklung und Ätzen erfolgen. Dabei birgt jeder Prozessschritt eigene Fehlerquellen.

Neben einer ungenauen Justierung der Masken ist auch die Kantenschärfe der Abbildungen für die Qualität des Ergebnisses verantwortlich. Der Abstand zwischen dem geschwärzten Film und dem Fotolack sollte dabei so gering wie möglich sein, damit schräg einfallendes Licht keine Verschiebungen durch Projektion hervorrufen kann. Dazu sollte der Film möglichst dünn sein und die belichtete Seite des Filmes unmittelbar auf dem Lack aufliegen. Da die Lichtquelle eine endliche Ausdehnung besitzt und kein ideal paralleles Licht erzeugt, kommt es an den Kanten der belichteten Strukturen zwangsläufig zu Streuungen, deren Ausmaß mit der Dicke des Films ebenfalls zunimmt. Das gleiche gilt für die Dicke des Fotolackes, der für eine möglichst präzise Strukturierung ebenfalls so dünn wie möglich aufgetragen werden muss. In der Industrie werden deshalb häufig wenige Mikrometer dünne Lackschichten im Vorhanggießverfahren (Verfahren: Beschichten) aufgetragen. Für einfache Anwendungen kann der Lack auch durch Siebdruck aufgetragen oder auch lichtempfindliche Folien auflaminiert werden (beide Verfahren: Beschichten). Diese Folien sind zwar wesentlich dicker, lassen sich dafür aber einfacher auftragen. Aus diesem Grund werden für die Standardanwendungen am Institut GS der Universität Rostock ebenfalls Folien für die Leiterplattenherstellung benutzt. Das Belichten und das Entwickeln des Fotolackes oder auch der Folie haben einen wesentlichen Einfluss auf die erreichbare Genauigkeit der Struktur. Der Lack kann über- oder unterbelichtet werden, wobei jeweils die Strukturen zu schwach oder zu stark abgebildet werden. Beim anschließenden Entwickeln kann der Lack zu schwach entwickelt werden, das heißt es verbleibt Lack auf dem zu ätzenden Kupfer, es können später Kurzschlüsse entstehen. Wird der Lack überentwickelt kann auch belichteter (negativ) bzw. unbelichteter (positiv) Lack gelöst werden, an Stellen an denen das Kupfer vor dem Ätzbad geschützt bleiben sollte, so dass Fehler durch Unterbrechungen der Leiterzüge entstehen können.

Eine weitere Fehlerquelle bei der Strukturierung der Leiterplatten verbirgt sich im Ätzprozess. Da die Ätzlösung das Kupfer in allen Richtungen angreift, wird auch ein Teil der Kupferschicht unter dem Resist gelöst. Man spricht auch vom Unterätzen. Im ungünstigsten Fall können sehr dünne Strukturen auf diese Weise komplett aufgelöst werden. Das Unterätzen nimmt natürlich mit der Dauer des Ätzprozesses zu, das heißt dünne Kupferfolien lassen sich feiner strukturieren als dicke.

Elektrische Eigenschaften

Für die Konstruktion elektrischer und elektronischer Baugruppen sind die elektrischen Eigenschaften von besonderer Bedeutung. Im Idealfall besitzt das Substrat einer Leiterplatte keine elektrische Leitfähigkeit und die Leiterzüge, die die Verbindungen zwischen den Bauelementen darstellen, keinen elektrischen Widerstand. In der Realität weist das typische Substratmaterial FR4 einen Isolationswiderstand von $10^{12} \Omega/m$ auf, während die Kupfer-Leiterbahnen einen spezifischen Widerstand von $1,75 \cdot 10^{-2} \Omega/m$ haben. Damit liegen fast 14 Zehnerpotenzen zwischen den Widerständen beider Materialien. Abgesehen von Supraleitern besitzt nur noch das wesentlich seltenere und teurere Silber einen geringeren spezifischen Widerstand als Kupfer. Obwohl dieser sehr klein ist, kann er für die Dimensionierung elektronischer Baugruppen nicht vernachlässigt werden. Das liegt vor allem daran, dass wegen der Platz- und Materialersparnis die Dimensionen der Kupferleiter minimiert werden. Je nach Anwendung kann der ohmsche Widerstand der Leiterzüge die Dimensionierung der Schaltung beeinflussen, aber auch zu einer spürbaren Erwärmung der Leiterzüge führen. So erzeugt der elektrische Strom durch den ohmschen Widerstand eine sog. "Verlustleistung":

$$P_V = R I^2$$

Die Leistung entspricht der Erwärmung des Kupfers bzw. der gesamten Baugruppe (Wärmeleitung).

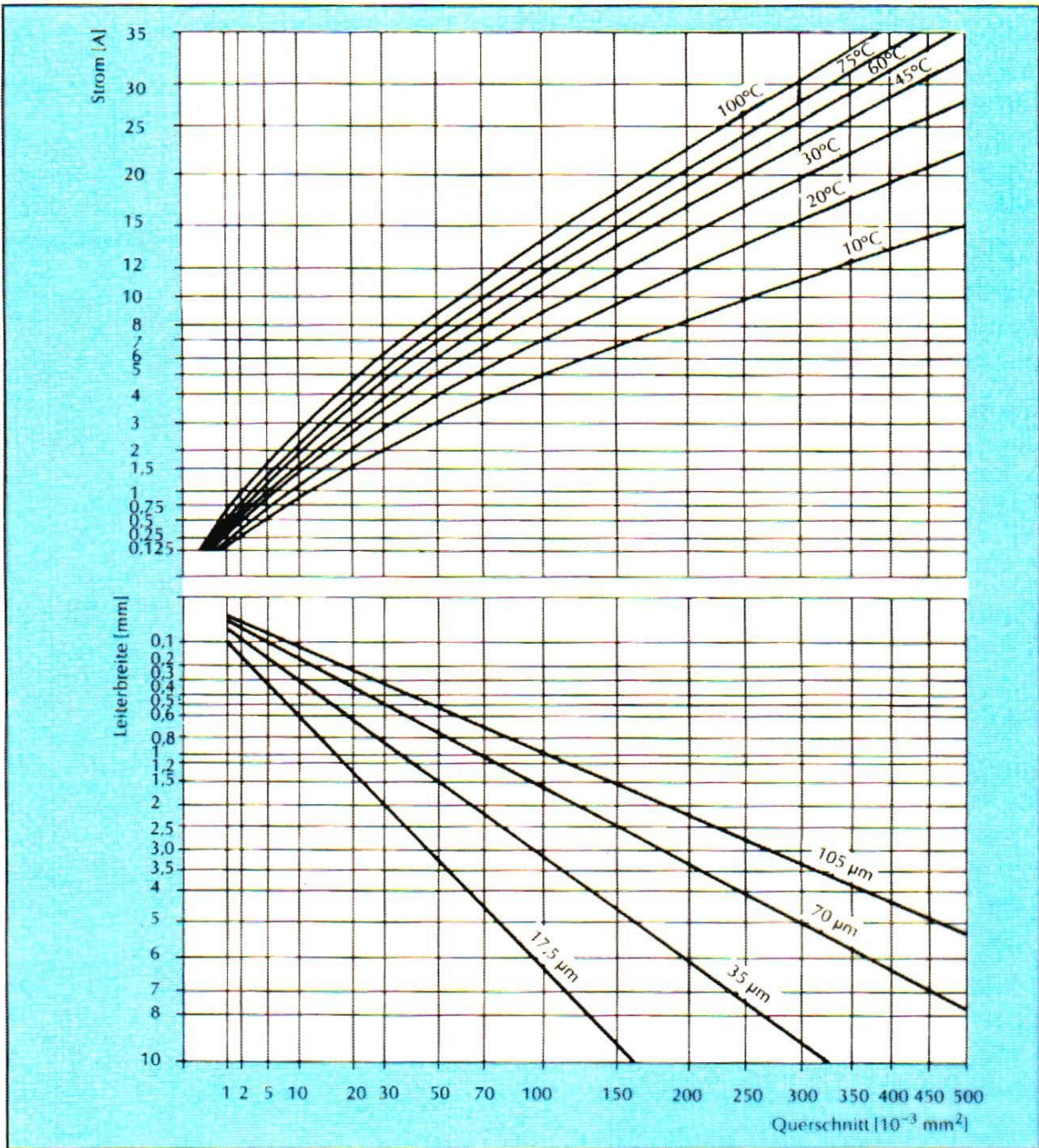
$$P_V t = W_V = Q_W = c m (T_2 - T_1)$$

Der resultierende Temperaturanstieg ($T_2 - T_1$) begrenzt somit die zulässige Stromstärke bzw. die Stromdichte. In der Regel sollten Standardbaugruppen dauerhaft nicht höher als auf 85°C erwärmt werden. Da der spezifische Widerstand mit steigender Temperatur ebenfalls steigt, können derartige Eigenerwärmungen unkontrolliert eskalieren, deshalb ist der Temperaturkoeffizient des elektrischen Widerstandes TCR (für Cu $3,9 \cdot 10^{-3} \text{K}^{-1}$) bei der Berechnung ebenfalls zu berücksichtigen. Außerdem muss beachtet werden, dass die Umgebungstemperatur der Baugruppe ebenfalls höher als Raumtemperatur liegen kann, d.h. die Erwärmung der Leiterzüge erhöht die Temperatur zusätzlich.

Beispiel:

Ein 1 mm Leiterzug mit $35 \mu\text{m}$ Dicke wird durch einen Strom von 4 A noch nicht über 30°C (bei 20°C Umgebungstemperatur) erwärmt, d.h. die Erwärmung ist noch akzeptabel. Ein Strom von 7 A lässt diesen aber bereits auf 100°C unzulässig heiß werden. Insbesondere wenn höhere Umgebungstemperaturen auftreten können, sollte der Strom also 4 A nicht überschreiten. Alternativ könnte für einen höheren Strombedarf von 7 A die Leiterzugbreite auf 2 mm erhöht werden. Eine dickere Kupferschicht wäre dagegen nur in besonderen Ausnahmefällen zu wählen, da diese für die gesamte Leiterplatte einheitlich und üblicherweise an Standarddicken gebunden ist ($18 \mu\text{m}$, 35 mm).

Die exakte Dimensionierung der Leiterzüge entsprechend der geforderten Stromdichten ist schwierig, da die Wärmeleitung in der Nähe des Leiterzuges von vielen Faktoren beeinflusst wird. Die Nähe zu anderen Leiterzügen und Bauelementen sowie der Einfluss der Konvektion lassen sich häufig nur grob abschätzen oder empirisch ermitteln. Für den Konstrukteur sind aber Nomogramme (siehe Bild unten, Quelle: Fa. Andus) ausreichend, um eine entsprechende Dimensionierung vorzunehmen. Für höhere Anforderungen können auch Computersimulationen der thermischen Verhältnisse durchgeführt werden.

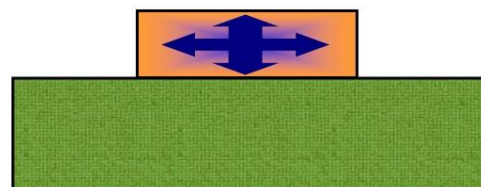


Der tatsächliche Querschnitt des Kupfer-Leiterzuges ist allerdings nur bei konstanten und niederfrequenten Strömen vollständig nutzbar. Bei hohen Frequenzen kommt es zur Stromverdrängung, dem sog. Skineneffekt. Dabei erzeugt der hochfrequente Wechselstrom ein Magnetfeld, das einen Gegenstrom in den Leiter induziert. Der ursächliche Strom und der Gegenstrom heben sich im Inneren des Leiters gegenseitig auf, so dass der effektive Querschnitt mit steigender Frequenz auf dessen Oberfläche reduziert wird (daher "Skin" = Haut – Effekt).

Draht



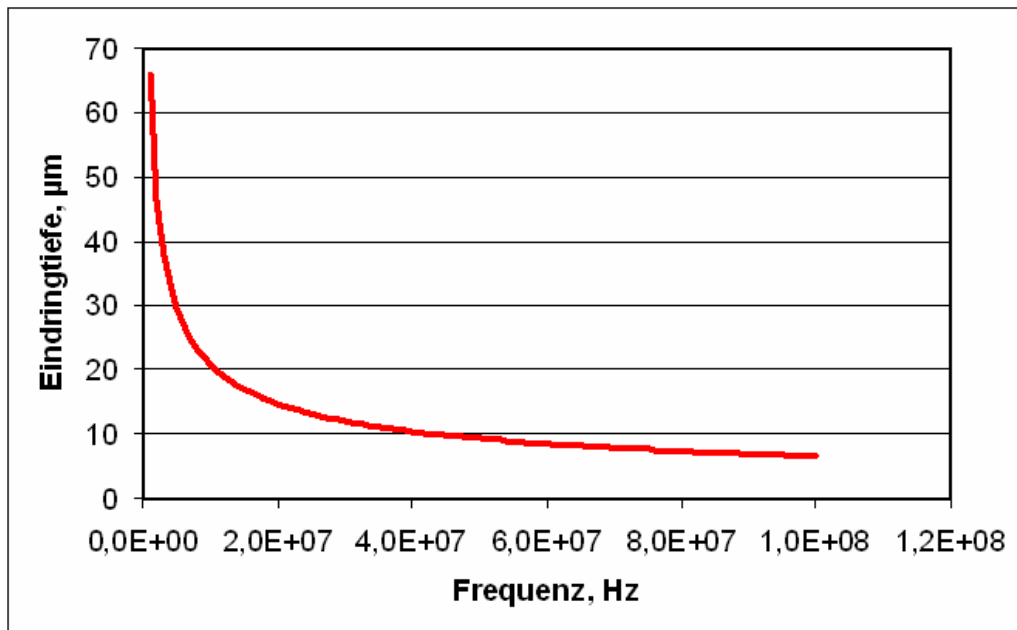
Leiterzug



Die Eindringtiefe, d.h. die Dicke des verbleibenden effektiven Leiters berechnet sich aus dem spezifischen Widerstand, der Frequenz und der Permeabilität.

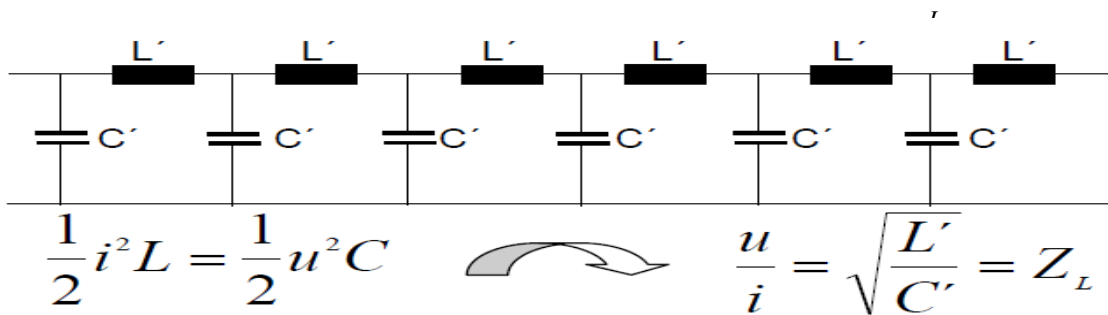
$$\sigma = \sqrt{\frac{\rho}{\pi * f * \mu_0 * \mu_r}}$$

Die magnetische Feldkonstante beträgt $\mu_0 = 1,256 \cdot 10^{-6}$ Vs/Am, die relative Permeabilität für Kupfer $\mu_r = 1$. Daraus lässt sich folgender Zusammenhang darstellen:



Da der effektive Strom bei hohen Frequenzen nur die Leiteroberfläche nutzt, werden HF-Drähte häufig wegen des geringeren spezifischen Widerstandes mit Silber beschichtet. Dadurch kann mit minimalem zusätzlichem Materialaufwand der verbleibende Querschnitt bestmöglich genutzt werden. In der Leiterplattentechnik sind derartige Beschichtungen nicht gebräuchlich, obwohl auch hier teilweise Silberschichten aus technologischen Gründen benutzt werden. Allerdings lässt sich nur die offene Seite der Kuperstrukturen auf der Leiterplatte versilbern, was für den HF-Widerstand nur einen sehr geringen Effekt hat.

Bei hohen Frequenzen muss aber nicht allein der ohmsche Widerstand des Leiters, sondern auch dessen Wellenwiderstand Z_L beachtet werden. Bei hohen Frequenzen und kurzen Wellenlängen werden elektrische Leitungen selbst zu "Bauteilen", wobei deren geometrische Abmessungen in der gleichen Größenordnung wie die Wellenlänge des HF-Stromes liegen. Es kommt zu einer ortsabhängigen Verteilung von Strom und Spannung auf dem Leiterzug. Die Wellenausbreitung erfolgt als Energietransport über einen ständigen Wechsel von elektrischer und magnetischer Energie aufgrund der aus L' (Induktivitätsbelag) und C' (Kapazitätsbelag) bestehenden Leitungsstruktur.



Eine sich ausbreitende Welle findet einen Wellenwiderstand Z_L vor, der sich aus dem Verhältnis von Spannung und Strom bzw. aus der Quadratwurzel des Verhältnisses von Induktivitätsbelag und Kapazitätsbelag ergibt. Ist die Länge eines Leiterzuges größer als 1/10 der Wellenlänge des elektrischen Signals, wird dieser als "elektrisch lange" Leitung bezeichnet. Anderenfalls spricht man von einer "elektrisch kurzen" Leitung.

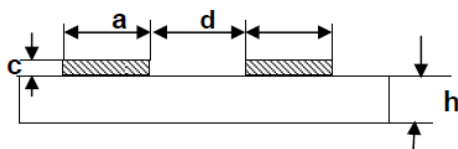
Die Wellenlänge ist zur Frequenz umgekehrt proportional (c = Lichtgeschwindigkeit):

$$\lambda = c/f$$

Die hochfrequenten Anteile (kurze Wellenlängen) des Signals hängen wesentlich von der Impulsanstiegszeit t_{LH} ab, so dass der Charakter der Leitungslänge auch durch die Signallaufzeit τ definiert werden kann. Ist diese größer als 50% der Impulsanstiegszeit, spricht man ebenfalls von einer elektrisch langen Leitung. Die Laufzeit τ wächst mit der Größe von Induktivitäts- und Kapazitätsbelag einer Leitung:

$$\tau = \sqrt{L'C'}$$

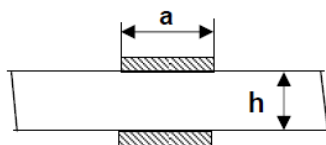
Die Impedanz einer Leitung hängt nicht nur von der Frequenz sondern auch vom Abstand sowie dem Dielektrikum zwischen Hin- und Rückleiter ab. Für die unterschiedlichsten Layoutstrukturen lassen sich die Wellenwiderstände wie folgt näherungsweise berechnen.



$$Z_L = \frac{277}{\sqrt{\epsilon_r}} \log\left(\frac{\pi d}{a+c}\right)$$

Beispiel: $d = 0,5 \text{ mm}$; $a = 0,5 \text{ mm}$; $c = 35 \mu\text{m}$; $\epsilon_r = 5$

$$Z_L = \frac{277}{\sqrt{5}} \log\left(\frac{0,5\pi}{0,5 + 0,035}\right) = 58\Omega$$



$$Z_L = \frac{867}{\sqrt{\epsilon_r}} \log\left(\frac{h}{a}\right)$$

Beispiel: $h = 1,6 \text{ mm}$; $a = 0,5 \text{ mm}$; $\epsilon_r = 5$

$$Z_L = \frac{867}{\sqrt{5}} \log\left(\frac{1,6}{0,5}\right) = 196,4\Omega$$

[Formeln nach: Elektromagnetische Verträglichkeit - Handbuch, WEKA - Fachverlag, 1997]

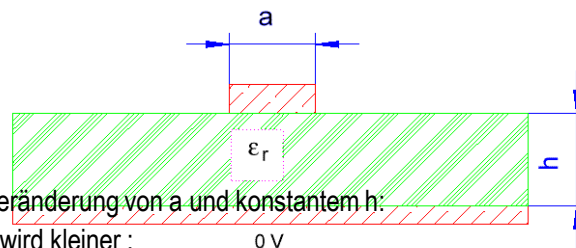
Da die Ground- (GND) Lage einer Leiterplatte aus Abschirmungsgründen häufig als Fläche ausgelegt wird, ist der Abstand zwischen der Signallage und dieser GND-Lage für die Impedanz entscheidend. Während sich der niederfrequente Strom in der GND-Lage den kürzesten Weg des geringsten ohmschen Widerstandes sucht, Leiterplattenkonstruktion und -fertigung

verläuft der hochfrequente Strom entlang der geringsten Impedanz. Diese ist in der Nähe, d.h. unterhalb des Hinleiters, also der Signalleitung, am geringsten. Das muss bei der Layoutgestaltung berücksichtigt werden, da sich möglichst keine Durchbrüche, Unterbrechungen etc.

unterhalb der HF-Signalleitung befinden sollten, die den Strom in der GND-Lage zwingen würden, einen anderen Pfad mit höherer Impedanz zu nehmen.

Um Reflexionen und Verluste an HF-Leitungen zu vermeiden bzw. gering zu halten, sollten diese mit möglichst konstanter Impedanz ausgeführt werden. Das erreicht man, indem die Geometrien der Signalleitungen und der Abstand zur GND-Leitung mit dem dazwischen liegenden Dielektrikum genau definiert werden. Derartige impedanzkontrollierte Leitungen (ähnlich einem Antennenkabel) werden auf Leiterplatten in der Regel als sog. Microstrip-Leitungen ausgeführt.

Microstrip - Leitung:



Allgemeine Tendenzen bei Veränderung von a und konstantem h:

a wird größer:

C' steigt

L' sinkt

Z_L sinkt

Φ_{U-I} steigt

a wird kleiner:

C' sinkt

L' steigt

Z_L steigt

Φ_{U-I} sinkt

Allgemeine Tendenzen bei Veränderung von h und konstantem a:

h wird größer:

C' sinkt

L' steigt

Z_L steigt

h wird kleiner:

C' steigt

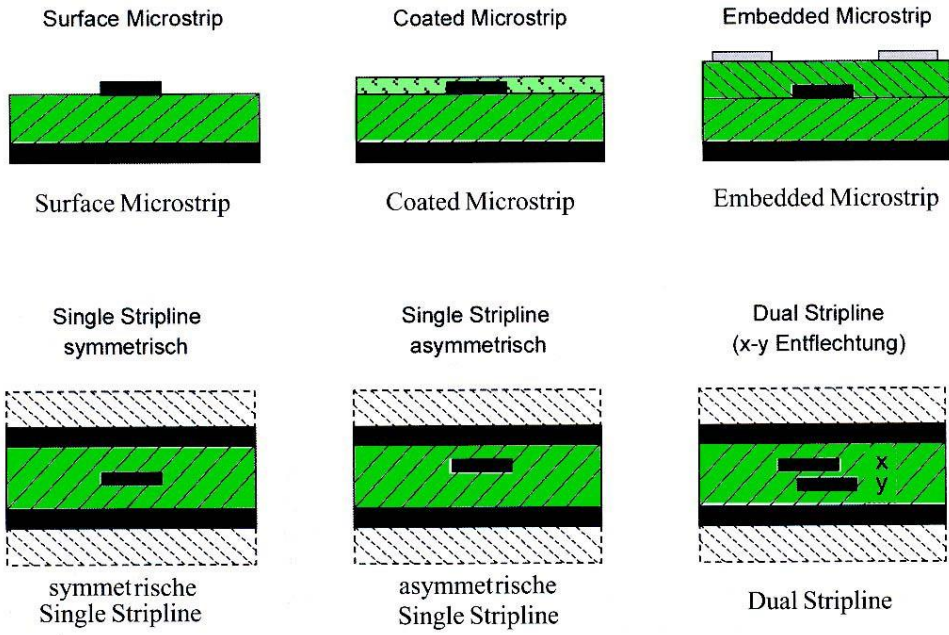
L' sinkt

Z_L sinkt

Allgemeine Tendenzen bei Veränderung von ϵ_r :

ϵ_r wird größer: Z_L sinkt ϵ_r wird kleiner: Z_L steigt

Neben der einfachen Oberflächen-Microstrip-Leitung sind in der Leiterplattentechnik auch komplexere Varianten bekannt:



[Quelle: Jillek/Keller, Handbuch der Leiterplattentechnik]

Elektrische Wechselwirkungen

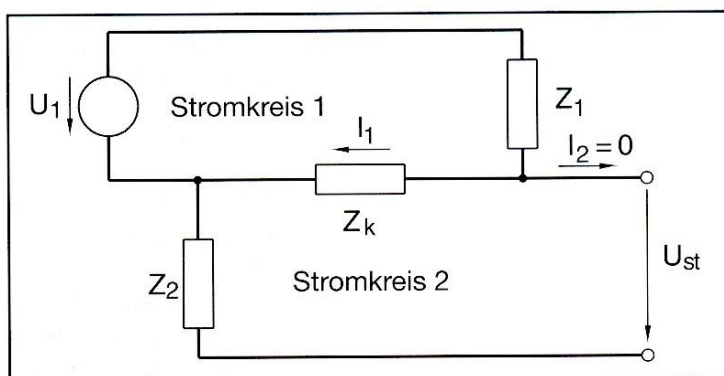
Wie im Kapitel "Elektrische Eigenschaften" bereits sichtbar wurde, besitzen die leitenden und isolierenden Strukturen des Substrates elektronischer Baugruppen (Leiterplatte) keine idealen Eigenschaften. Dadurch bekommen diese Strukturen in Abhängigkeit von Strom, Spannung und Frequenz Eigenschaften von elektrischen Bauelementen, so z.B. die "Verlustleistung", den "Induktivitätsbelag" oder den "Kapazitätsbelag". Das führt zu unerwünschten Wechselwirkungen, die oftmals nicht vernachlässigt werden dürften, die aber durch Kenntnis der Zusammenhänge minimiert werden können. Treten zwei eigentlich getrennte Stromkreise einer Schaltung miteinander in Wechselwirkung, so spricht man auch von "Kopplung". Folgende Arten der Kopplung können auftreten: galvanische Kopplung, kapazitive Kopplung und induktive Kopplung.

Galvanische Kopplung

Die galvanische Kopplung wird durch ohmschen Widerstand einer gemeinsamen Versorgungs- oder Masseleitung verursacht:

$$R = \frac{U}{I} = \rho \frac{l}{A}$$

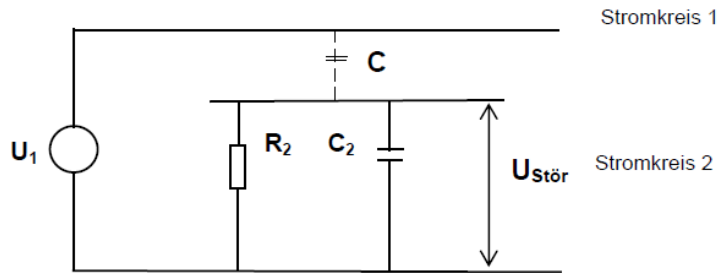
Z.B. besitzt ein Leiterzug mit 35 µm Dicke und 0,3 mm Breite einen ohmschen Widerstand von 0,017 Ohm/cm. Ändert sich in einem Stromkreis 1 die Stromstärke, führt dies auch zu einer Spannungsänderung im Stromkreis 2, der über einen gemeinsamen Leiterzug mit dem Koppelwiderstand (oder Koppelimpedanz Z_k) versorgt wird.



Derartige Spannungsänderungen können das Nutzsignal stören und durch Verkürzen der Zuleitung oder Vergrößern des Leitungsquerschnittes minimiert werden. Ggf. sind auch getrennte Leiterzüge zur Versorgung beider Stromkreise erforderlich.

Kapazitive Kopplung:

Potentialdifferenzen zweier parallel laufender Leitungen können auch zu kapazitiven Kopplungen führen. Die Koppelkapazität dieser Struktur stellt sich wie folgt dar:



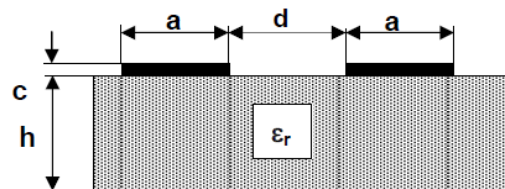
Die Leiterzüge besitzen über das Dielektrikum des Substrates die Koppelkapazität C_k , die eine Störspannung $U_{Stör}$ verursachen kann.

$$U_{Stör} = U_1 R_2 j\omega C_k R_1$$

Zur Minimierung der Störspannung sollte der Stromkreis möglichst niederohmig sein (d.h. R_2 minimieren) und die Koppelkapazität durch Erhöhung des Abstandes oder Verringerung der Leiterfläche ebenfalls minimiert werden.

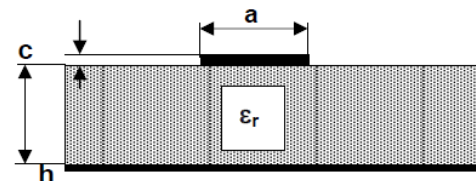
Zur Abschätzung der Koppelkapazitäten können folgende Näherungsgleichungen genutzt werden:

$$C_k (pF/cm) \approx 0,064(1 + \epsilon_r) \frac{a}{d}$$



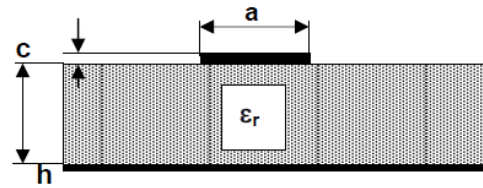
C_k für zwei parallel verlaufende Leiterbahnen (coplanare Parallelleitung):

$$C_k (pF/cm) \approx \left[\frac{\epsilon_r 0,09a}{h} + \frac{0,56(\epsilon_r - 1)}{\ln \left[\frac{2h}{c} + \sqrt{\frac{4h^2}{c^2} - 1} \right]} \right]$$



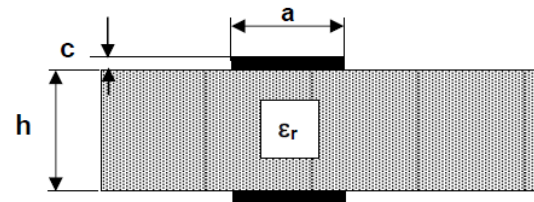
C_k zwischen Leiterbahn und gegenüberliegenden Massefläche (Stripline):

$$C_k (pF/cm) \approx \left[\frac{\epsilon_r 0,09 a}{h} + \frac{0,56(\epsilon_r - 1)}{\ln \left[\frac{2h}{c} + \sqrt{\frac{4h^2}{c^2} - 1} \right]} \right]$$



C_k zwischen zwei gegenüber liegenden gleichartigen Leiterzügen (Parallelleitung):

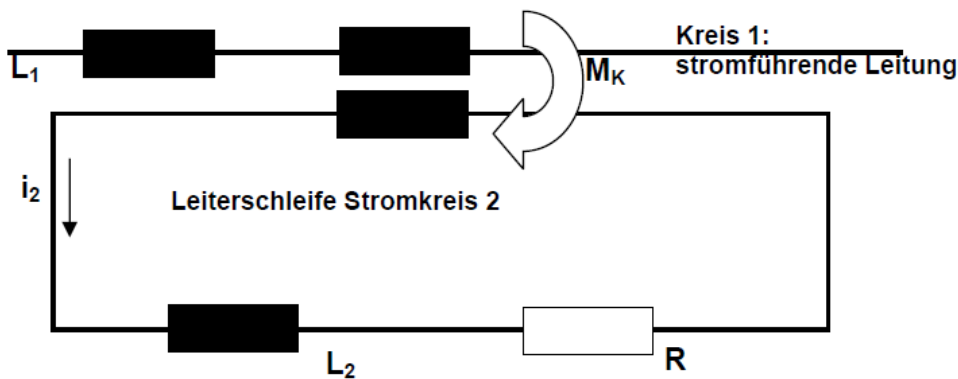
$$C_k (pF/cm) = \left[\frac{\epsilon_r 0,09 a}{h} + \frac{0,28(\epsilon_r - 1)}{\ln \left[\frac{h}{c} + \sqrt{\frac{h^2}{c^2} - 1} \right]} \right]$$



Formeln aus: Durcansky, G.: EMV - gerechtes Gerätedesign, Franzis - Verlag 1992

Induktive Kopplung:

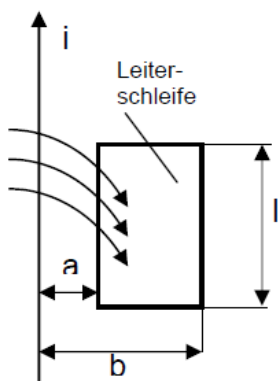
Eine induktive (oder auch magnetische) Kopplung liegt vor, wenn der magnetische Fluss eines Stromkreises die Fläche eines anderen Stromkreises durchdringt. Dabei kann jeder Leiterzug sowohl als Sender als auch als Empfänger wirken.



Die eingekoppelte Störspannung im Kreis 2 ergibt sich infolge der Gegeninduktivität M_K aus dem Strom im Kreis 1 zu:

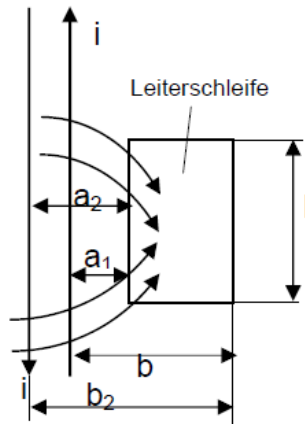
$$U_{stör} = M_K \frac{di_1}{dt}$$

Folgende prinzipielle Verkopplungen sind möglich:



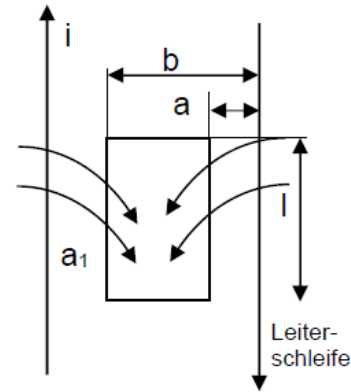
Leiterschleife neben stromführender Leitung

$$M_K = \frac{\mu_0}{2\pi} l \ln \frac{b}{a}$$



Leiterschleife neben Hin- und Rückleiter

$$M_K = \frac{\mu_0}{2\pi} l \left(\ln \frac{b_1}{a_1} - \ln \frac{b_2}{a_2} \right)$$



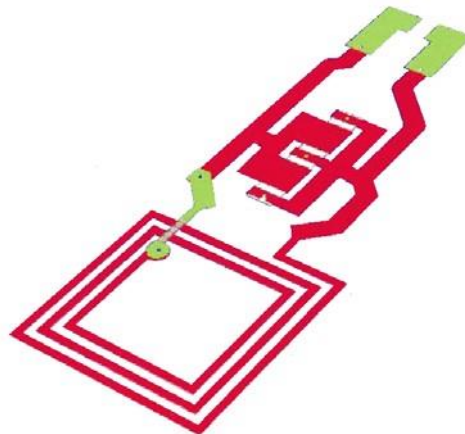
Leiterschleife zwischen Hin- und Rückleiter

$$M_K = \frac{\mu_0}{2\pi} l \left(\ln \frac{b_1}{a_1} + \ln \frac{b_2}{a_2} \right)$$

Formeln aus: Schneider-Schnettler., B.: EMV - gerechtes Leiterplattendesign, CD - ROM, Franzis - Verlag 1998

Um die induktive Kopplung zu minimieren ist es notwendig, die Abstände zwischen Sender und Empfänger sowie die Breiten b (bzw. b - a) der Leiterschleifen so klein wie möglich zu dimensionieren.

Natürlich können die Koppeligenschaften von Leiterzügen auch gezielt maximiert werden, um so bewusst galvanische, kapazitive und induktive Effekte zu nutzen und auf diese Weise Bauelemente der Schaltung zu ersetzen. Während die Kapazitäten und Widerstände der Leiterbahnstrukturen in der Regel zu klein sind, um effektiv in einer Schaltung wirksam zu werden, lassen sich induktive Eigenschaften gerade im Hochfrequenzbereich sehr gut nutzen. So können Drosseln, Filter und Antennen gezielt und sparsam aus Leiterbahnen strukturiert werden, was folgendes Beispiel zeigt:

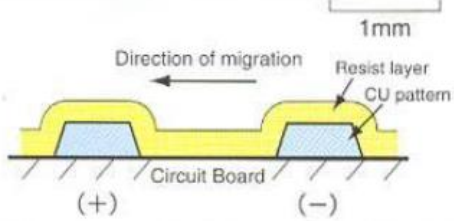
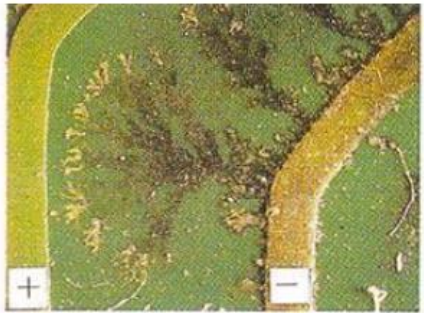


Schwingkreis mit Antenne für "low-cost" Anwendung (z.B. RFID) Elektrochemische Wechselwirkungen

Elektronische Baugruppen können mit den elektrischen Spannungen auch auf chemische Weise wechselwirken. Während man davon ausgeht, dass sich Leiterbahnen und Substratmaterial unter den normalen Umgebungsbedingungen chemisch neutral verhalten, werden vor allem Rückstände aus dem Fertigungsprozess durch elektrische Felder chemisch aktiv. Dazu zählen ionische Rückstände aus Galvanik- und Ätzbädern der Leiterplatten und vor allem Flussmittelrückstände des Lötprozesses. Diese enthalten in der Regel organische Säuren und Halogenide, die mit den Metalloxiden der Oberflächen Salze bilden. Vor allem wenn Wasser, z.B. durch ein feuchtes Klima oder Betauung bei Temperaturwechseln, hinzukommt, können diese Salze dissoziieren

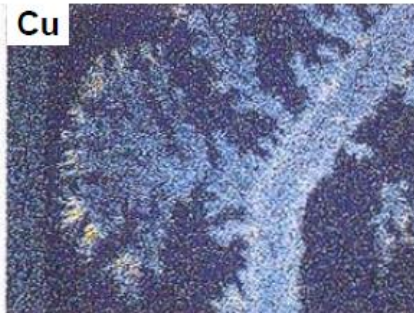
und unter Einwirkung eines elektrischen Feldes zum Stofftransport führen. Das unten stehende Bild zeigt, wie zwischen Anode und Kathode (Leiterzug - und +) elektrische Brücken entstehen können.

Aufnahme Lichtmikroskop



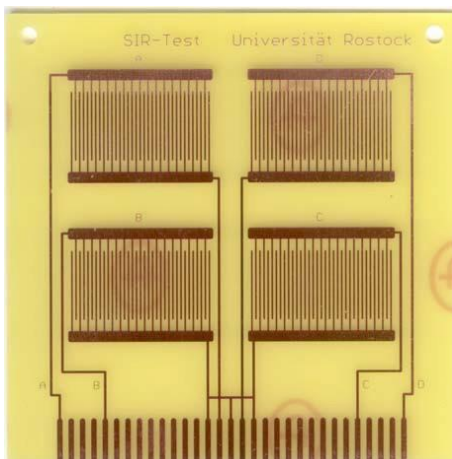
Schema: Cu – Wanderung von der Kathode zur Anode, begünstigt durch Cl-Verunreinigungen an der Oberfläche

Rasterelektronenmikroskop

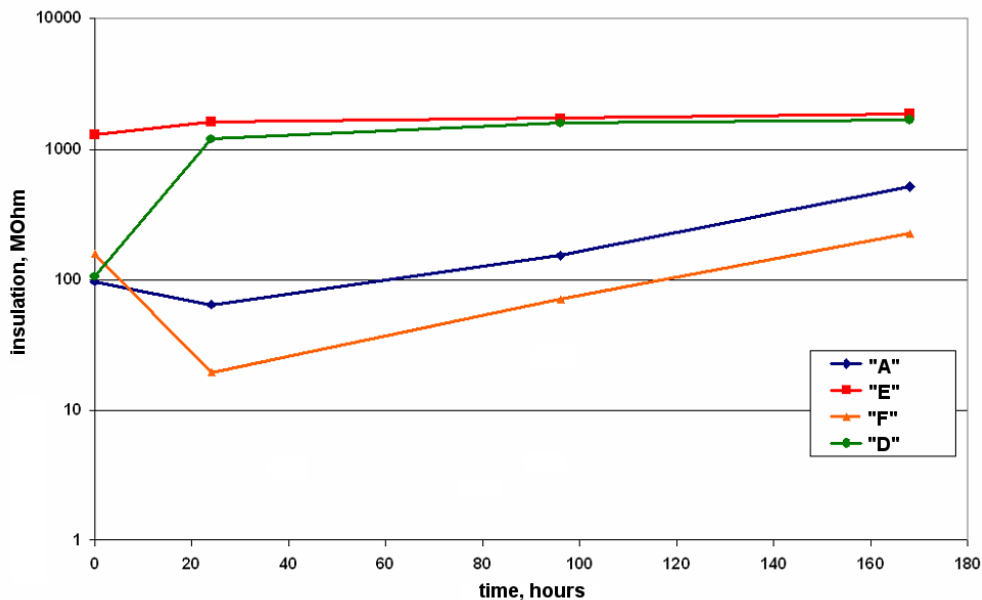


Quelle: Bara Scientific

Da die Flussmittel für den Lötprozess unverzichtbar sind und aus Umwelt- und Kostengründen Baugruppen nach der Fertigung möglichst nicht gereinigt werden sollen, ist es wichtig, die Flussmittelmenge und -zusammensetzung so zu optimieren, dass derartige Effekte nicht auftreten. Dazu werden Teststrukturen benutzt, wie im Bild unten zu sehen ist.



Diese Testleiterplatte besteht aus Kämmen die es erlauben, den Isolationswiderstand der Leiterplattenoberfläche zu messen. Die Testleiterplatten werden mit Flussmittel bedruckt und einem Lötprozess unterzogen. Anschließend werden sie mit den Rückständen auf der Oberfläche z.B. für sieben Tage einem feuchten Klima (Klimaprüfschrank 85°C, 85% r.H.) ausgesetzt, wobei die Kämmen gleichzeitig mit einer hohen Spannung (z.B. 100 V) beaufschlagt werden. Während dieser Zeit wird in regelmäßigen Zeitabständen der Isolationswiderstand gemessen. Den Verlauf einer solchen Messreihe für vier verschiedene Flussmittel ist in folgendem Beispiel zu sehen.



Während das Flussmittel "F" aufgrund der ionischen Rückstände nach einem Tag zu einer drastischen Abnahme des Isolationswiderstandes auf 10 MOhm führt, bleibt das Flussmittel "E" konstant auf einem Wert über 1 GOhm. In der Regel sind aber Flussmittel mit geringerer chemischer Aktivität auch weniger wirksam im Lötprozess, so dass Kompromisse gefunden werden müssen. Im günstigsten Fall werden alle chemisch notwendigen Aktivatoren des Lötprozesses durch die hohe Temperatur zersetzt oder verdampft.

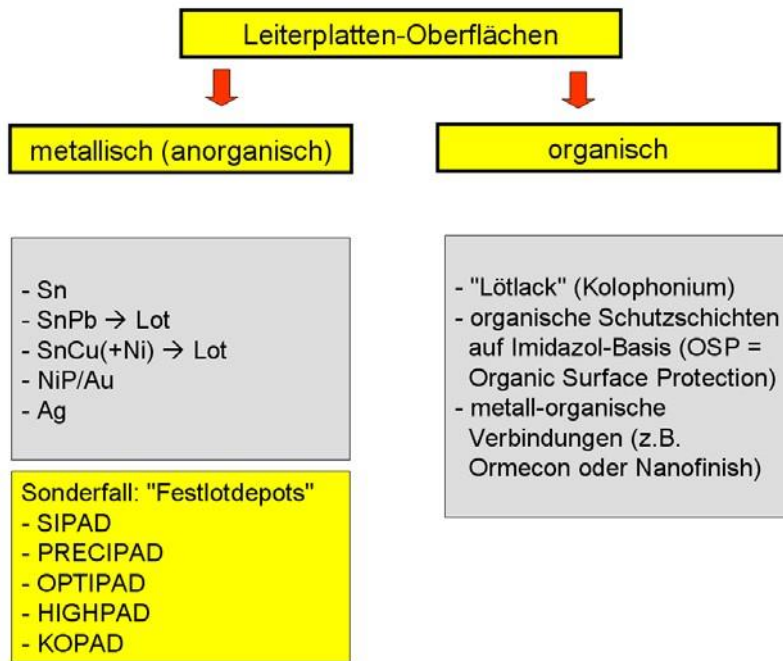
Leiterplattenoberflächen

In der Vorlesung "Elektroniktechnologie 1" wurden hauptsächlich die Aspekte der Fertigung elektronischer Baugruppen betrachtet. Bei der Konstruktion (Design) dieser Baugruppen müssen natürlich nicht nur die funktionalen Eigenschaften des fertigen Produktes, sondern auch die Fertigungsbedingungen berücksichtigt werden. Dabei spielen vor allem die Fügeverfahren eine entscheidende Rolle, da diese erst aus den einzelnen Komponenten ein funktionsfähiges Ganzes entstehen lassen. Man spricht in der Montage elektronischer Baugruppen auch von der **Aufbau- und Verbindungstechnik**, deren wesentliches Element die Leiterplattenmontage ist. Die Mehrzahl der Bauelemente wird durch *Weichlöten* (Flowlöten oder Reflowlöten) mit den Leiterplatten gefügt. Deshalb stellt auch die **Lötbarkeit** der Leiterplatten und Bauelemente ein wesentliches Element für die **Fertigbarkeit** bzw. die **Fügbareit** dar, die durch die ausgewählten Werkstoffe bestimmt wird. Während für die Auswahl der Leiterplattenmaterialien vor allem die elektrischen und mechanischen Eigenschaften Berücksichtigung finden, wird die Lötbarkeit zusätzlich durch eine geeignete Beschichtung verbessert. Das Kupfer der Leiterbahnen, das vor allem wegen seiner guten elektrischen Leitfähigkeit verwendet wird, besitzt bereits grundsätzlich eine gute Lötbarkeit. Allerdings trifft das nur für oxidfreie und saubere Kupferoberflächen zu. Da das Kupfer sehr schnell oxidiert und korrodiert, kann dieser ursprüngliche Zustand unter normalen Lagerungs- und Fertigungsbedingungen nicht ausreichend lange aufrechterhalten werden. Um die Fügbareit in der industriellen Praxis zu gewährleisten, werden vor allem spezielle Beschichtungen verwendet, mit Leiterplattenkonstruktion und -fertigung

denen die Leiterplattenoberfläche geschützt werden kann. Ähnliches gilt prinzipiell auch für die Oberflächen der Bauelementeanschlüsse, deren Fügbarkeit/Lötbarkeit den gleichen Anforderungen genügen sollte. Nicht nur der Vollständigkeit halber muss erwähnt werden, dass die Gewährleistung der Lötbarkeit zwar den dominierenden Anteil bei der Fertigung elektronischer Baugruppen hat, die **Bondbarkeit** (*Schweißbarkeit, Bonden = Schweißen*) und die **Klebbbarkeit** aber unter bestimmten Umständen ebenso zu berücksichtigen sind. Die Anforderungen der drei zu Grunde liegenden *stoffschlüssigen Fügeverfahren* sind durchaus unterschiedlich, da auch die Wechselwirkungen zwischen Grund- und Zusatzwerkstoffen sehr unterschiedlich sind. Während es beim Löten in der Regel zum Schmelzen des Zusatzwerkstoffes und somit zum Benetzen der Grundwerkstoffe mit flüssigem Lot und anschließender Diffusion kommen muss, wird beim Bonden (*Schweißen*) der Stoffschluss durch Diffusion im ausschließlich festen Zustand hergestellt. Beim Kleben spielt ebenfalls die Benetzung und die anschließende Adhäsion die wichtigste Rolle. Es gibt Oberflächenbeschichtungen die allen drei stoffschlüssigen Fügeverfahren gleichermaßen genügen ("Universal Finish"), aus Kostengründen kommen diese Schichten aber nur bei Bedarf zum Einsatz. Wie in allen anderen Fällen der Auswahl geeigneter Materialien durch den Konstrukteur gilt auch hier, dass die Anforderungen (in diesem Fall: des Fertigungsprozesses) nur *so gut wie nötig* und *nicht so gut wie möglich* erfüllt werden müssen, so dass das *Optimum* aus *Kosten und Aufwand* gefunden wird.

Leiterplattenoberflächen

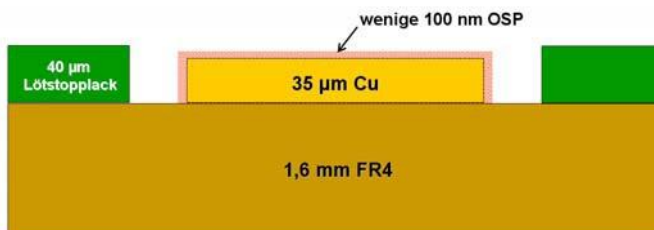
Die Varianten und Möglichkeiten verfügbarer Leiterplattenoberflächen entwickeln sich stets weiter und sind auch regionalen Besonderheiten unterworfen. Deshalb entspricht die im Folgenden getroffenen Auswahl dem aktuellen Stand der Technik, muss aber ggf. überprüft und mit aktuellen Daten verifiziert werden. In der Regel wird man aus ökonomischer Sicht zunächst die kostengünstigsten Varianten auf ihre Einsatzbarkeit und Verfügbarkeit überprüfen und nur wenn diese nicht gegeben ist, die nächst teurere Variante in Betracht ziehen. Prinzipiell wird zwischen metallischen (anorganischen) und organischen Oberflächenbeschichtungen für das Kupfer der Leiterplatten unterschieden. Einen Sonderfall der metallischen Beschichtungen stellen die sogenannten "Festlotdepots" dar. Dabei handelt es sich um eine Beschichtung der Leiterplatten mit einer Lotschicht, deren Dicke das komplette Lotdepot für die Baugruppe darstellt, so dass keine Lotpaste auf die Leiterplatten für das Reflowlöten gedruckt werden muss. Die relativ hohen Kosten dieser Technologie haben aber (bisher) zu einer sehr geringen Verbreitung trotz einiger entscheidender Vorteile der Festlotdepots geführt.



Im Amateurbereich kann man die Kupferoberflächen auf einfache und wirkungsvolle Weise durch "Lötlack" schützen. Dabei handelt es sich um Kolophonium, das in Alkohol gelöst wurde. Für die industrielle Verarbeitung stellt diese einfache Methode keine Alternative dar, da das klebrige Kolophonium zum Verkleben der Leiterplatten führt und die Baugruppen nach dem Löten aufwändig gereinigt werden müssten. Stattdessen werden extrem dünne organische Schutzschichten, sog. OSP- Schichten, verwendet:

OSP - Schichten (OSP = Organic Surface Protection oder auch Organic Soldering Preservative)

Dabei handelt es sich um Schutzschichten auf Imidazol-Basis, die eine schwache Bindung mit dem Kupfer an der Oberfläche eingehen, so dass der Sauerstoff der Atmosphäre dieses nicht mehr oxidieren kann. Die Schichten sind extrem dünn und mit dem Auge nicht sichtbar. Beim Löten werden die Schichten thermisch zersetzt, so dass sie nach dem Prozess nicht mehr wirksam sind.



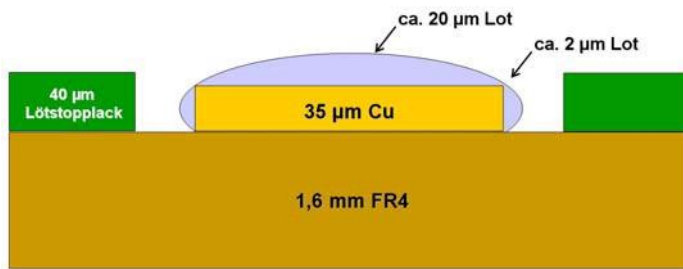
Vorteil: sehr preiswert

Nachteile: nur etwa 6 Monate lagerfähig, thermisch nicht beständig – Probleme beim mehrfachen Löten
geeignet für: Löten

Aktuelle Varianten nutzen metall-organische Verbindungen (Zinn- oder Silber), dazu gehören die Systeme "ORMECON" und "NanoFinish".

HAL – Hot Air Leveling oder auch HASL – Hot Air Solder Leveling

Dabei handelt es sich um umgeschmolzene Lotschichten aus SnPb oder auch SnCu (bleifreie Alternative). Das Lot wird aus dem flüssigen Lotbad im Tauchprozess aufgetragen, das überschüssige Lot wird mit heißer Luft durch eine Düse abgestreift (daher der Name "Hot Air ...").



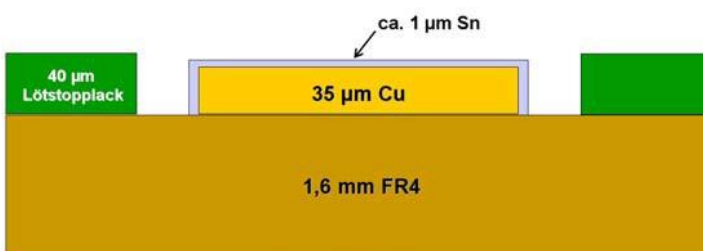
Nachteile: keine ebene Oberfläche, nicht für feine Strukturen geeignet

Vorteile: preiswert, lange lagerfähig (über 12 Monate)

geeignet für: Löten

Chemisch Zinn – Schichten, (Immersion Tin)

Beim chemischen Zinn handelt es sich um nasschemisch, stromlos abgeschiedene Zinnschichten, die eine Dicke von etwa einem Mikrometer erreichen. Dickere Schichten sind mit diesem Prozess kaum realisierbar, da die Abscheiderate des Zinns stark abnimmt, sobald die Zinnschicht das Kupfer "dicht" bedeckt.



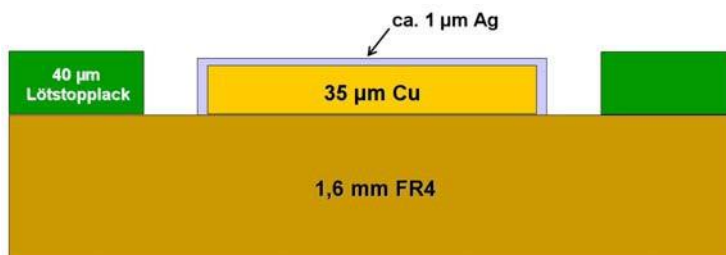
Vorteile: mittlerer Preis, mittlere Lagerfähigkeit, gute Lötbarkeit

Nachteile: mechanisch empfindlich (Kratzer), schmilzt beim Löten – Probleme beim mehrfachen Löten, Gefahr der Whiskerbildung

geeignet für : Löten

Chemisch Silber – Schichten, (Immersion Silver)

Beim chemischen Silber handelt es sich um nasschemisch, stromlos abgeschiedene Silberschichten, die eine Dicke von etwa einem Mikrometer erreichen. Dickere Schichten sind mit diesem Prozess kaum realisierbar, da die Abscheiderate des Silbers stark abnimmt, sobald die Silberschicht das Kupfer "dicht" bedeckt.

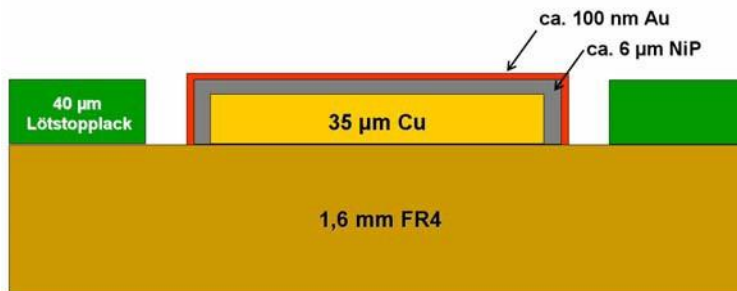


Vorteile: mittlere Lagerfähigkeit, gute Lötbarkeit

Nachteile: Korrosionsgefahr bei schwefelhaltiger Atmosphäre, Gefahr der Silbermigration in feuchter Umgebung
geeignet für: Löten, Leitleben, mechanisches Kontaktieren

ENIG – Electroless Nickel Gold

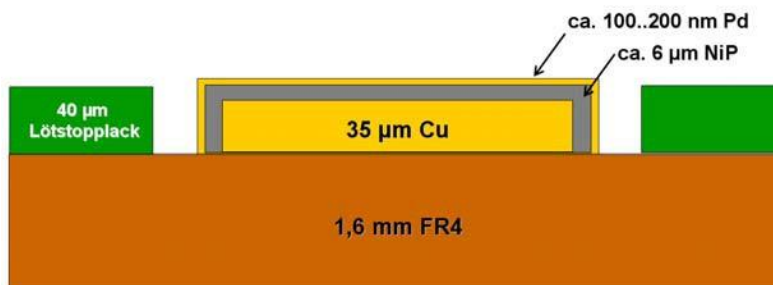
Beim "ENIG" handelt es sich um zwei Schichten auf der Kupferoberfläche. Zunächst wird eine ca. 6 μm dicke stromlos abgeschiedene Nickel-Phosphor-Schicht aufgebracht, die anschließend mit einer ebenfalls stromlos abgeschiedenen 100 nm dünnen Goldschicht geschützt wird. Den eigentlichen Oxidationsschutz übernimmt die hauchdünne Goldschicht, während das Nickel-Phosphor für die chemische, thermische und mechanische Stabilität (in der Lötstelle) verantwortlich ist.



Vorteile: sehr gute Lötbarkeit, gute Lagerfähigkeit (12 Monate), bedingt bondbar, Nachteile: relativ teuer, Korrosionsprobleme bei fehlerhafter NiP-Schicht
geeignet für: Löten, Drahtbonden (Al), Leitkleben, mechanisches Kontaktieren

Nickel-Phosphor / Palladium –Schicht ("PALLATEC")

Die Funktionsweise dieser Schicht ist ähnlich wie die der ENIG-Oberfläche. Den Oxidationsschutz übernimmt hier eine hauchdünne stromlos abgeschiedene Palladiumschicht. Palladium ist allerdings (inzwischen) teurer als Gold, weshalb in der Regel die ENIG-Oberfläche bevorzugt wird.

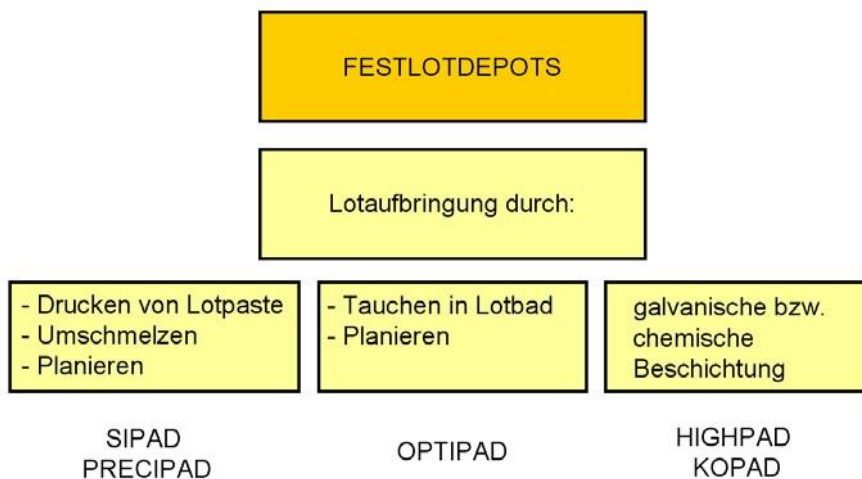


Vorteile: sehr gute Lötbarkeit, sehr gute Lagerfähigkeit, bedingt bondbar, Nachteil: sehr teuer
geeignet für: Löten, Leitkleben, mechanisches Kontaktieren

Eine Kombination aus Nickel-Phosphor + Palladium mit einer abschließenden Goldschicht ist ebenfalls bekannt und wird als "Universal Finish" bezeichnet. Dieses Dreischichtsystem ist in der Herstellung sehr teuer, eignet sich aber für alle Fügeverfahren (Löten, Kleben, Bonden) sowie für das mechanische Kontaktieren (Steckverbinder, Taster) gleichermaßen.

Festlotdepots (Solid Solder Deposits = SSD)

Bereits seit den 80er Jahren entstand mit der Verbreitung der SMD-Technik die Idee, die notwendigen Lotdepots für das Reflowlöten gleich auf dem Leiterplattenmaterial aufzubringen. Dadurch könnte der Lotpastendruck (Sieb oder Schablone) eingespart werden. Prinzipiell eignen sich dazu sowohl nasschemische Beschichtungsverfahren als auch das Tauchen in flüssiges Lot. Es wurde sogar versucht, den Lotpastendruck vom Elektronikfertiger zum Leiterplattenhersteller zu verlagern, indem der Pastendruck mit anschließendem Umschmelzen bereits als Beschichtungsprozess vor der Baugruppenmontage durchgeführt wird. Das Ziel ist es dabei, eine 50..100 µm Lotschicht auf das Kupfer aufzubringen, die beim Leiterplattenhersteller auch mechanisch "planiert" (im Unterschied zu HAL- Leiterplatten) werden kann. Der Vorteil, neben der Einsparung des Lotpastendruckes beim Elektronikfertiger, ist die höhere Präzision und Sauberkeit dieser Technologie, die vor allem für die "High-Density"-SMD-Technik bzw. Flip-Chip-Technik von Interesse ist. Solange es für diese Anwendungen aber auf konventionellem Wege noch Realisierungsmöglichkeiten gibt, verhindern die höheren Leiterplattenkosten eine weitere Verbreitung dieser Technologie, die bisher nur in "Nischen" Verwendung finden.



Vorteile: hohe Genauigkeit

geringe effektive Lotoberfläche, weniger Oxide, weniger Flussmittel, weniger Rückstände weniger Prozessschritte (weniger Fehlerquellen) beim Baugruppenfertiger, sehr gute Lagerfähigkeit (mehrere Jahre)

Nachteile: höhere Leiterplattenkosten im Einkauf ungeeignet für Durchsteckmontage (THT)

Fixieren der Bauelemente durch "Tacky-Flux" notwendig

Literatur:

R.J. Klein Wassink, Soldering in Electronics; Electrochemical Publications Ltd., 2nd Edition; Ayr 1989

M. Hannemann; M. Nowotnick; R. Zajitschek: Lötbarer Oberflächen für Leiterplatten; 1. Auflage, TGBZ Steinheim/Main 1999